



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.11
【국제특허분류】	H01L
【발명의 명칭】	리세스 채널 MOSFET 및 그 제조방법
【발명의 영문명칭】	MOSFET having recessed channel and fabricating method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김지영
【성명의 영문표기】	KIM, Ji Young
【주민등록번호】	700405-1636710
【우편번호】	449-915
【주소】	경기도 용인시 구성면 언남리 신일@ 103-1001
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 1 면 1,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 619,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 리세스 채널을 가진 MOSFET 제조시, 반도체 기판 안에서 리세스 채널을 정의하는 리세스 트렌치의 너비를 반도체 기판 위쪽에서의 게이트 너비보다 크게 함으로써, 포토리소그래피 공정의 마진을 확보하고 오버랩 커패시턴스 및 GIDL(gate induced drain leakage)에 이득을 가지기 위한 것이다.

**【대표도】**

도 8

**【명세서】****【발명의 명칭】**

리세스 채널 MOSFET 및 그 제조방법{MOSFET having recessed channel and fabricating method thereof}

**【도면의 간단한 설명】**

도 1은 종래 리세스 채널 MOSFET의 단면도이다.

도 2 내지 도 8은 본 발명의 실시예에 따른 리세스 채널 MOSFET 및 그 제조방법을 설명하기 위한 단면도들이다.

\*도면의 주요 부분에 대한 부호의 설명\*

100...반도체 기판      110...버퍼 산화막

125...트렌치      130...리세스 트렌치

135...게이트 산화막      150...게이트 도전층

155...캡핑층      160...게이트

170a...스페이서      180...소오스/드레인

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>      본 발명은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 그 제조방법에 관한 것으로, 특히 고집적 반도체 회로에 더욱 적당한 구조를 가진 리세스 채널 MOSFET 및 그 제조방법에 관한 것이다.

<10> MOSFET이 고집적화됨에 따라 채널의 길이도 작아지고 있으며, 숏 채널 효과(short channel effect) 및 소오스/드레인 펀치쓰루(punchthrough) 현상에 의한 영향을 배제하기 어렵다. 리세스 채널 MOSFET은 디바이스 축소에 따른 채널 길이 축소를 극복하기 위해서, 트랜지스터의 채널이 될 영역에 리세스 트렌치를 형성하여 채널 길이를 증가시킴으로써, 종국적으로 디바이스 면적을 축소하는 구조의 소자이다.

<11> 종래 리세스 채널 MOSFET의 구조는 도 1에 도시한 바와 같이, 실리콘 기판(10) 내부에 형성한 리세스 트렌치(30)와 기판(10) 상부의 게이트(60)의 접합에 있어서, 리세스 트렌치(30)의 너비(L1)를 게이트(60) 너비(L2)보다 작게 하여 게이트(60)가 리세스 트렌치(30) 밖으로 오버랩하는 구조가 되게 함으로써 게이트(60) 패터닝시 발생하는 미스얼라인 마진을 확보하는 것이다.

<12> 그런데, 이러한 구조에서는 너비가 작은 리세스 트렌치(30)를 포토리소그래피로 형성하는 데에 패터닝 한계로 인한 어려움이 있다. 따라서, 보통 기판 위에 개구부를 정의하는 실리콘 질화막 마스크를 먼저 패터닝한 다음 그 측벽에 스페이서를 형성함으로써 개구부의 폭을 축소시켜 그 개구부 아래의 기판을 식각하고 있으므로, 마스크 공정이 복잡하다. 그리고, 리세스 트렌치(30) 상부 모서리(70)에 전계(electric field)가 집중되어 누설전류가 증가하는 문제가 있다. 참고로 도 1에서 참조번호 15는 소자분리막, 35는 게이트 산화막, 50은 게이트 도전층, 55는 캡핑층, 65는 스페이서를 가리킨다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 미스얼라인 확보가 용이하여 좀 더 고집적화할 수 있는 구조의 리세스 채널 MOSFET을 제공하는 것이다.

- <14> 본 발명이 이루고자 하는 다른 기술적 과제는 보다 간단하고 쉬운 공정으로 리세스 채널 MOSFET을 제조하는 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <15> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 리세스 채널 MOSFET은, 반도체 기판 안에서 리세스 채널을 정의하는 리세스 트렌치의 너비가 상기 반도체 기판 위쪽에서의 게이트 너비보다 커서, 상기 리세스 트렌치 안쪽으로 상기 게이트가 오버랩되는 것이 특징이다.
- <16> 본 발명의 바람직한 실시예에서는, 소자분리막이 형성된 반도체 기판 안의 리세스 트렌치 내벽에 형성된 게이트 산화막, 상기 리세스 트렌치를 채우면서 상기 반도체 기판 위로 솟아 있고 상기 반도체 기판 위로 솟은 부분은 상기 리세스 트렌치의 너비보다 좁은 게이트 도전층 및, 상기 게이트 도전층 위에 상기 게이트 도전층과 같은 너비로 형성된 캡핑층으로 이루어진 게이트를 포함하는 리세스 채널 MOSFET을 설명한다. 이 리세스 채널 MOSFET에는 상기 게이트 측벽을 둘러싸는 스페이서와, 상기 게이트 산화막에 의해 상기 게이트 도전층과 절연되어 상기 게이트 양측의 상기 반도체 기판 내에 형성된 소오스/드레인도 포함된다.
- <17> 여기서, 바람직하기로는 상기 리세스 트렌치가 둥근 프로파일을 가진다. 상기 게이트 산화막은 증착된 실리콘 산화막, 티타늄 산화막 혹은 탄탈륨 산화막일 수 있으며, 상기 게이트 도전층은 상기 리세스 트렌치를 완전히 매립하는 도전성 폴리실리콘막과 그 위에 금속막이 적층된 것일 수 있다. 그리고, 상기 스페이서는 상기 반도체 기판 안으로 500Å 이내로 들어가 연장되어 있을 수 있다.

- <18>      상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 리세스 채널 MOSFET 제조 방법에서는, 반도체 기판 안에 리세스 트렌치를 형성하고 나서, 상기 리세스 트렌치 내벽에 게이트 산화막을 형성한다. 그런 다음, 상기 게이트 산화막 위로 상기 리세스 트렌치를 완전히 매립하는 게이트 도전층과 캡핑층을 순차 형성한다. 상기 캡핑층과 상기 반도체 기판 위쪽의 게이트 도전층을 상기 리세스 트렌치의 너비보다 좁게 패터닝하여 상기 리세스 트렌치 내부를 채우는 게이트 도전층 안쪽으로 오버랩되는 게이트를 형성한다. 다음에, 상기 게이트 양측 상기 반도체 기판에 불순물을 주입하여 소오스/드레인을 형성한다.
- <19>      상기 리세스 트렌치를 형성하는 단계는, 반응성 이온 식각(RIE)법으로 반도체 기판 안에 각이 진 트렌치를 형성하는 단계, 및 CDE(chemical dry etch)법으로 상기 트렌치를 더 식각하여 그 프로파일을 둥글게 만드는 단계를 포함하여 이루어지는 것이 바람직하다. 이 때, 상기 각이 진 트렌치는 1000-1500Å 정도의 깊이로 형성하고, 상기 CDE법으로 상기 트렌치를 100-200Å 정도 더 식각하는 것이 좋다. 그리고, 상기 리세스 트렌치를 형성하는 단계와 상기 게이트 산화막을 형성하는 단계 사이에, 상기 반도체 기판을 열산화시켜 희생산화막을 형성하는 단계, 및 상기 희생산화막을 습식 식각으로 제거하는 단계를 더 포함하는 것이 바람직하다.
- <20>      이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 기술하는 실시예에 한정되는 것으로 해석되어서는 안된다.
- <21>      도 2 내지 도 8은 본 발명의 실시예에 따른 MOSFET 및 그 제조방법을 설명하기 위한 단면도들이다.



- <22> 먼저 도 2에서와 같이, 단결정 실리콘과 같은 반도체 기판(100)에 필드 이온주입영역(111)을 형성한 다음, 소자분리막(105)을 형성하여 활성영역과 비활성영역을 정의한다. 소자분리막(105)으로는 이 분야에서 잘 알려진 STI(Shallow Trench Isolation)를 형성할 수 있다.
- <23> 다음에, 필드 이온주입영역(111)과 소자분리막(105)을 포함한 반도체 기판(100) 상에 버퍼 산화막(110)을 얇게 증착한 후 리세스 트렌치 깊이에 맞게 채널 조정용 이온주입과 표면 소오스/드레인 이온주입을 실시한다. 참조번호 113과 115는 각각 채널 조정용 이온 주입된 불순물의 영역, 표면 소오스/드레인 이온 주입된 불순물의 영역을 가리킨다. 버퍼 산화막(110)은 실리콘 산화막 등으로 형성할 수 있으며, 통상적인 증착 방법, 예컨대 CVD(Chemical Vapor Deposition), SACVD(Sub-Atmospheric CVD), LPCVD(Low Pressure CVD) 또는 PECVD(Plasma Enhanced CVD)에 의할 수 있다. 다음에 리세스 채널을 형성할 부위를 오픈하는 감광막(120)을 패터닝한다. 오픈된 부위의 CD는 90nm 정도로 한다. 이 정도는 노광 장비로 충분히 패터닝할 수 있다.
- <24> 도 3을 참조하면, 감광막(120)을 이용하여 반도체 기판(100)을 식각함으로써 깊이 1000-1500Å 정도의 트렌치(125)를 형성한다. 식각하는 방법은 통상의 반응성 이온 식각(RIE)법을 이용할 수 있다. 종래에는 좁은 리세스 트렌치(도 1의 30)를 형성하기 위하여 실리콘 질화막 마스크에 스페이서를 추가하여 복잡한 구조의 마스크 스택을 사용해야 한다. 그러나, 본 발명에서는 트렌치(125)의 CD가 종래보다 크기 때문에 감광막(120)만을 마스크로 이용하여도 충분하여, 공정이 간단해진다. 반응성 이온 식각(RIE)법에 의하므로, 트렌치(125)는 각이 진 프로파일을 갖는다.

<25> 도 4에 도시된 것은, 에싱과 스트립으로 감광막(120) 제거 후  $O_2$ 와  $CF_4$  가스 등을 이용한 CDE(chemical dry etch)법을 이용하여 반도체 기판(100)을 선택적으로 더 식각한 상태를 도시한다. 식각 깊이는 약 100-200Å 정도로 한다. 이 CDE의 목적은 활성영역의 에지 쪽에서 트렌치 경사 때문에 식각되지 않은 실리콘을 제거하는 것과, 트렌치(125)의 프로파일을 둥글게 만들기 위한 것이다. 이렇게 함으로써 둥근 프로파일을 가지며 너비(다시 말해 CD)가 W1인 리세스 트렌치(130)가 완성된다.

<26> 도 5를 참조하면, 트렌치 식각시의 데미지(damage)를 제거하기 위해 열산화법으로 희생산화막(미도시)을 형성한 다음, 그 희생산화막과 도 4의 단계에서 남아있던 버퍼 산화막(110)을 습식 식각으로 제거한다. 산화막을 제거하는 데에는 잘 알려져 있는 HF 희석액을 사용할 수 있다. 예컨대 불산(HF)과 탈이온수( $H_2O$ )의 혼합 비율을 1 : 5-1000으로 하고, 사용온도는 25 ±3℃로 한다. 주로 1 : 100-200을 사용하게 된다. HF 희석액 대신에 BOE(Buffered Oxide Etchant)를 이용하여 제거할 수도 있다. 그런 다음, 게이트 산화막(135)으로서 실리콘 산화막, 티타늄 산화막 혹은 탄탈륨 산화막 등을 증착하고, 그 위에 도전성 폴리실리콘막(140)을 증착한다. 도전성 폴리실리콘막(140)은 LPCVD로 500℃ 내지 700℃의 온도에서 증착할 수 있다. 불순물이 도핑되지 않은 상태로 증착한 후, 비소(As) 또는 인(P)을 이온주입으로 도핑시켜 도전성을 갖도록 할 수도 있고, 증착 시 인-시츄(in-situ)로 불순물을 도핑하여 도프트(doped) 폴리실리콘 상태로 증착할 수도 있다. 도전성 폴리실리콘막(140)을 에치백 또는 화학적 기계적 연마(CMP) 등으로 평탄화시킨 위에 금속막(145)을 더 형성한다. 금속막(145)은 여기에 한정되는 것은 아니지만 예를 들어 W, Al/Cu 합금, Cu 등일 수 있다. 이러한 금속들은 고밀도 유도결합 플라즈마(ICP), 고밀도 이온화 금속 플라즈마(IMP) 증착, 스퍼터링, CVD 등의 방법으로 증

착될 수 있다. 여기서, 도전성 폴리실리콘막(140)과 금속막(145)의 적층막이 게이트 도전층(150)으로 이용된다. 금속막(145)은 도전성 폴리실리콘막(140)보다 저항이 낮아서 더 형성하는 것이지만, 경우에 따라 도전성 폴리실리콘막과 실리콘사이드막의 적층막으로 구성할 수도 있다. 그리고, 도전성 폴리실리콘막만을 형성하여도 된다. 이어서, 게이트 도전층(150)을 보호하기 위한 캡핑층(155)으로서 실리콘 질화물과 같은 캡핑용 절연 물질을 증착한다. 실리콘 질화물은 PECVD 또는 LPCVD 등의 증착하며, 예를 들어 500℃ 내지 850℃의 온도에서  $\text{SiH}_4$ 와  $\text{NH}_3$ 의 반응을 이용한다.

<27> 도 6을 참조하면, 게이트 마스크를 이용하여 캡핑층(155)과 게이트 도전층(150)을 차례로 패터닝하여 리세스 트렌치(130)의 너비(W1)보다 작은 너비(다른 말로 CD)(W2)를 가지는 게이트(160)를 완성한다. 게이트(160)가 리세스 트렌치(130)보다 좁게 형성되므로 게이트(160)가 리세스 트렌치(130)의 안쪽으로 들어오면서 오버랩된다. 이 때 게이트 도전층(150)이 반도체 기판(100) 표면으로부터 리세스되어 홈(165)이 형성되기도 하는데, 그 깊이(W3)는 식각 시간을 조절함으로써 500Å 이하로 한다. 소오스/드레인 접합이 형성될 위치는 반도체 기판(100) 표면에서부터 1000Å 깊이 정도이므로, 500Å 근처에서의 홈(165)의 균일성은 MOSFET의 특성에 큰 영향을 주지는 않는다.

<28> 다음으로 도 7을 참조하면, 게이트 재산화(GPOX) 공정을 실시한다. 게이트(160)를 열과 산소 분위기에 노출시켜 게이트 재산화 공정을 수행하면, 게이트 도전층(150)의 측벽에 열산화막(미도시)이 형성된다. 재산화 공정에 의하여 게이트(160) 패터닝시의 식각 공정에 의한 데미지의 제거, 잔류되어 있는 게이트 도전층(150) 찌꺼기의 제거 및 게이트 산화막(135)의 신뢰성 향상 등의 효과도 누릴 수 있다. 그리고 나서 N- 소오스/드레인 이온주입을 추가한다. 그러나, 이 N- 소오스/드레인 이온주입은 LDD(lightly

Doped Drain)을 형성하고자 할 경우에만 진행하며, 생략하여도 된다. 그런 다음, 게이트 스페이서용 절연막질(170)을 증착한다. 게이트 스페이서용 절연막질(170)로는 실리콘 질화물을 PECVD 또는 LPCVD 등으로 증착할 수 있다.

- <29>        마지막으로 도 8에 도시한 것과 같이, 게이트 스페이서용 절연막질(170)을 이방성 식각함으로써 게이트(160) 측벽에 스페이서(170a)를 형성한다. 스페이서(170a)와 캡핑층(155)을 이온주입 마스크로 하여 소오스/드레인 이온주입을 실시함으로써, 반도체 기판(100) 내부에 소오스/드레인(180)을 형성한다. 소오스/드레인(180)은 게이트 산화막(135)에 의해 게이트 도전층(150)과 절연되어 있다.
- <30>        이상의 설명에서 알 수 있는 바와 같이, 본 발명에 따른 리세스 채널 MOSFET에서는 리세스 트렌치(130)의 너비(W1)가 게이트(160) 너비(W2)보다 크기 때문에 리세스 트렌치(130) 안쪽으로 게이트(160)가 오버랩된 구조를 가지는 것이 가장 큰 특징이다.
- <31>        이제 도 1의 종래 구조와 도 8의 본 발명 구조를 비교한다. 먼저 본 발명에서는 리세스 트렌치 너비(W1)에 비하여 게이트 너비(W2)가 작다. 따라서, 게이트(160)가 리세스 트렌치(130) 안쪽으로 오버랩하는 구조를 가진다.
- <32>        오버랩의 측면에서, 종래 구조와 본 발명 구조에서 오버랩되는 길이(W4)를 같게 하고 게이트 너비가 서로 같다면( $L2 = W2$ ), 본 발명에서는 리세스 트렌치 너비(W1)가 종래 리세스 트렌치 너비(L1)보다 오버랩되는 너비(W4)의 4배만큼 더 커진다.
- <33>        또한, 도 8에 W5가 가리키는 것과 같이 본 발명의 경우에 유효 채널 길이가 더 길어진다. 이것은 리세스 트렌치(130)의 크기가 종래보다 커지기 때문이다. 이로써, 고

집적화에 따른 채널 영역의 축소를 효과적으로 상쇄하여 숏 채널 효과 및 펀치쓰루 현상 등의 발생을 억제하여 소자의 특성을 향상시킬 수 있다.

<34> 도 1에 70이 가리키는 것과 같은 리세스 트렌치 상단 부위를 볼 것 같으면, 본 발명의 경우에 리세스 트렌치(130)의 상단 꼭지점에서는 전계 집중을 완화하여 누설 성분이 감소되며, 그 부분에서의 내압 저하를 방지할 수 있다.

<35> 소오스/드레인 오버랩은 도 8에서 홈(165) 부분의 깊이 즉, W3 만큼이 제외됨에 따라 오버랩 커패시턴스와 GIDL(gate induced drain leakage)이 감소된다. 소오스/드레인 접합과 게이트가 오버랩되는 영역을 줄임으로써 종래 리세스 채널 MOSFET의 단점인 오버랩 커패시턴스와 GIDL을 줄일 수 있는 장점이 있는 것이다.

<36> 포토리소그래피적인 측면에서도 본 발명의 경우에는 게이트 CD 정도의 포토리소그래피를 사용하면 되므로 간단하다. 또한 추가적인 마스크(실리콘 질화막 마스크에 스페이서를 추가한 것)없이 감광막만으로 트렌치 식각이 가능하므로 공정이 간단하고 쉬워진다. 종래에는 추가적인 마스크 형성을 위한 공정과 마스크 사용 후의 제거가 복잡한 공정으로 이루어져야 하지만, 본 발명의 경우에는 그럴 필요가 없다.

<37> 이상에서는 본 발명의 실시예에 대하여 설명하였으나, 본 발명은 상기한 실시예에만 한정되는 것은 아니고 다양한 변형이나 변형이 가능하다. 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 사상 및 범주 내에 포함될 수 있는 대안, 변형 및 등가를 포함한다.

**【발명의 효과】**

- <38> 상술한 바와 같이 본 발명에 따른 리세스 채널 MOSFET의 구조는 게이트 너비보다도 리세스 트렌치의 너비를 증가시켜 리세스 트렌치 안쪽으로 미스얼라인 마진을 확보하는 구조이다. 따라서, 포토리소그래피 공정이 종래보다 쉬워지고 트렌치 식각을 하기 위한 복잡한 마스크 공정을 생략할 수 있어 공정이 단순화된다.
- <39> 또한, 리세스 트렌치 상단 꼭지점에서의 게이트에 의한 전계 집중을 막아 GIDL을 줄일 수 있는 장점이 있다. 뿐만 아니라, 소오스/드레인 접합과 게이트가 오버랩되는 영역을 줄임으로써 종래 리세스 채널 MOSFET의 단점인 오버랩 커패시턴스를 줄일 수 있다.
- <40> 따라서, 본 발명의 MOSFET의 전기적 특성 향상은 물론, MOSFET의 고집적화에 매우 유리하게 MOSFET 제조방법을 적용시킬 수 있다.

**【특허청구범위】****【청구항 1】**

리세스 채널 MOSFET에 있어서, 반도체 기판 안에서 리세스 채널을 정의하는 리세스 트렌치의 너비가 상기 반도체 기판 위쪽에서의 게이트 너비보다 커서, 상기 리세스 트렌치 안쪽으로 상기 게이트가 오버랩되는 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 2】**

제 1 항에 있어서, 상기 리세스 트렌치는 둥근 프로파일을 가진 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 3】**

소자분리막이 형성된 반도체 기판 안의 리세스 트렌치 내벽에 형성된 게이트 산화막, 상기 리세스 트렌치를 채우면서 상기 반도체 기판 위로 솟아 있고 상기 반도체 기판 위로 솟은 부분은 상기 리세스 트렌치의 너비보다 좁은 게이트 도전층 및, 상기 게이트 도전층 위에 상기 게이트 도전층과 같은 너비로 형성된 캡핑층으로 이루어진 게이트;

상기 게이트 측벽을 둘러싸는 스페이서; 및

상기 게이트 산화막에 의해 상기 게이트 도전층과 절연되어 상기 게이트 양측의 상기 반도체 기판 내에 형성된 소오스/드레인을 포함하는 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 4】**

제 3 항에 있어서, 상기 리세스 트렌치는 둥근 프로파일을 가진 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 5】**

제 3 항에 있어서, 상기 게이트 산화막은 증착된 실리콘 산화막, 티타늄 산화막 혹은 탄탈륨 산화막인 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 6】**

제 3 항에 있어서, 상기 게이트 도전층은 상기 리세스 트렌치를 완전히 매립하는 도전성 폴리실리콘막과 그 위의 금속막이 적층된 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 7】**

제 3 항에 있어서, 상기 스페이서는 상기 반도체 기판 안으로 500Å 이내로 들어가 연장되어 있는 것을 특징으로 하는 리세스 채널 MOSFET.

**【청구항 8】**

반도체 기판 안에 리세스 트렌치를 형성하는 단계;

상기 리세스 트렌치 내벽에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 위로 상기 리세스 트렌치를 완전히 매립하는 게이트 도전층과 캡핑층을 순차 형성하는 단계;

상기 캡핑층과 상기 반도체 기판 위쪽의 게이트 도전층을 상기 리세스 트렌치의 너비보다 좁게 패터닝하여 상기 리세스 트렌치 내부를 채우는 게이트 도전층 안쪽으로 오버랩되는 게이트를 형성하는 단계; 및

상기 게이트 전극 양측 상기 반도체 기판에 불순물을 주입하여 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.



**【청구항 9】**

제 8 항에 있어서, 상기 리세스 트렌치를 형성하는 단계는,  
반응성 이온 식각(RIE)법으로 반도체 기판 안에 각이 진 트렌치를 형성하는 단계;  
및

CDE법으로 상기 트렌치를 더 식각하여 그 프로파일을 둥글게 만드는 단계를 포함하여 이루어지는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 10】**

제 9 항에 있어서, 상기 각이 진 트렌치는 1000-1500Å 정도의 깊이로 형성하고,  
상기 CDE법으로는 상기 트렌치를 100-200Å 정도 더 식각하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 11】**

제 8 항에 있어서, 상기 게이트 산화막으로서 실리콘 산화막, 티타늄 산화막 혹은 탄탈륨 산화막을 증착하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 12】**

제 8 항에 있어서, 상기 게이트 도전층은 상기 리세스 트렌치를 완전히 매립하는 도전성 폴리실리콘막과 그 위의 금속막으로 형성하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 13】**

제 8 항에 있어서, 상기 리세스 트렌치를 형성하는 단계와 상기 게이트 산화막을 형성하는 단계 사이에,

상기 반도체 기판을 열산화시켜 희생산화막을 형성하는 단계; 및

상기 희생산화막을 습식 식각으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 14】**

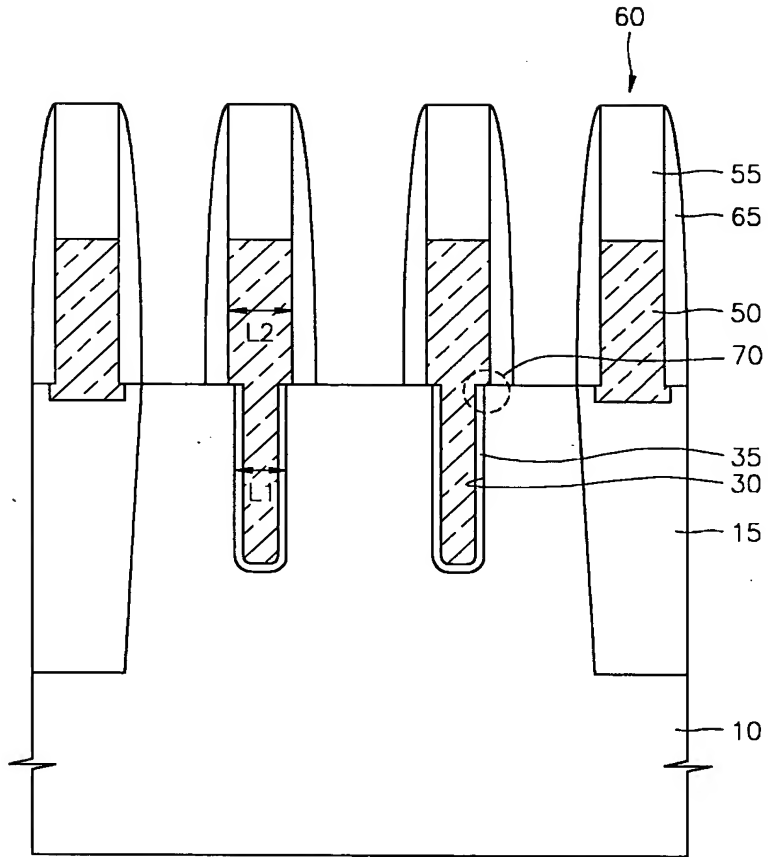
제 8 항에 있어서, 상기 게이트 전극을 형성하는 단계에서 상기 게이트 도전층의 식각 시간을 조절함으로써 상기 리세스 트렌치 내부를 채우는 게이트 도전층이 상기 반도체 기판 표면으로부터 500Å 이하로 리세스되게 하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

**【청구항 15】**

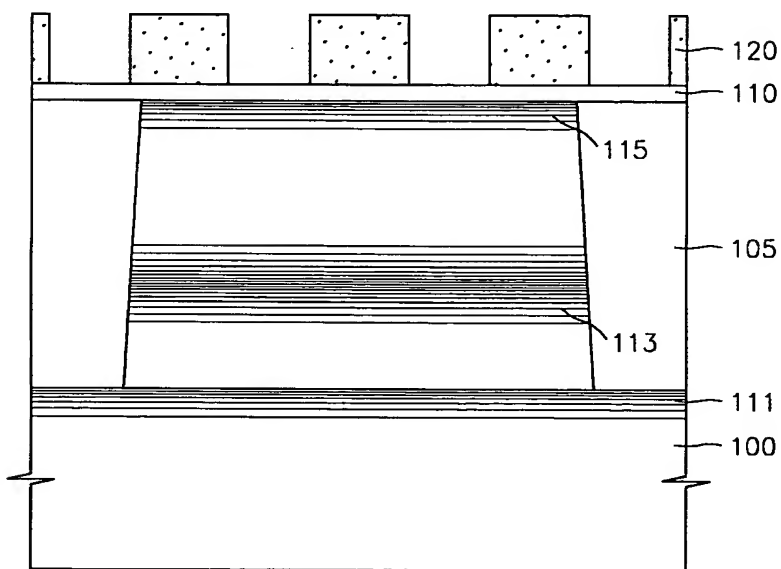
제 8 항에 있어서, 상기 게이트 전극 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

【도면】

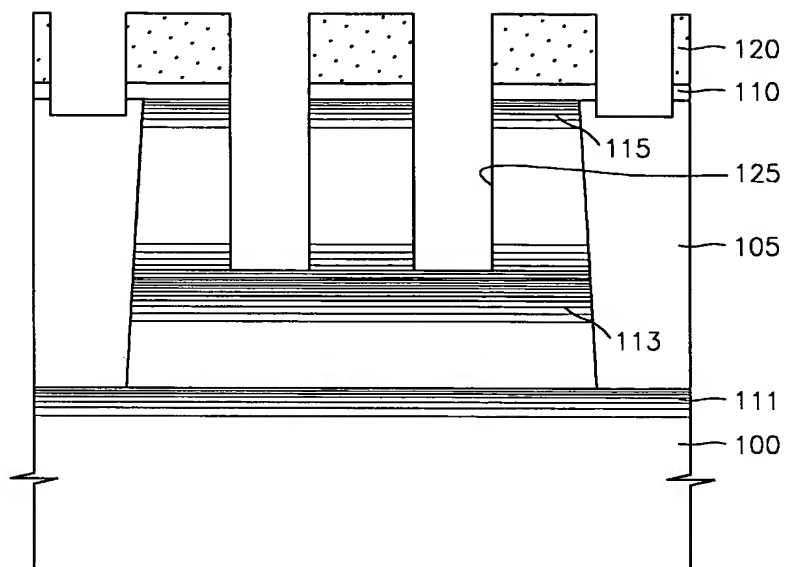
【도 1】



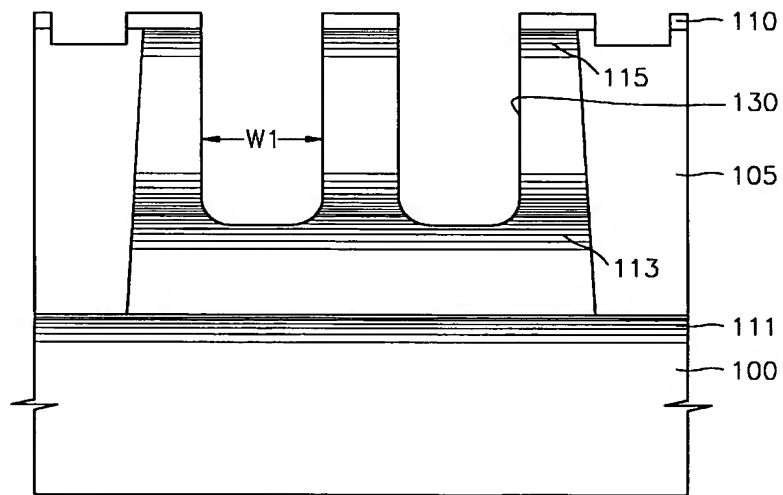
【도 2】



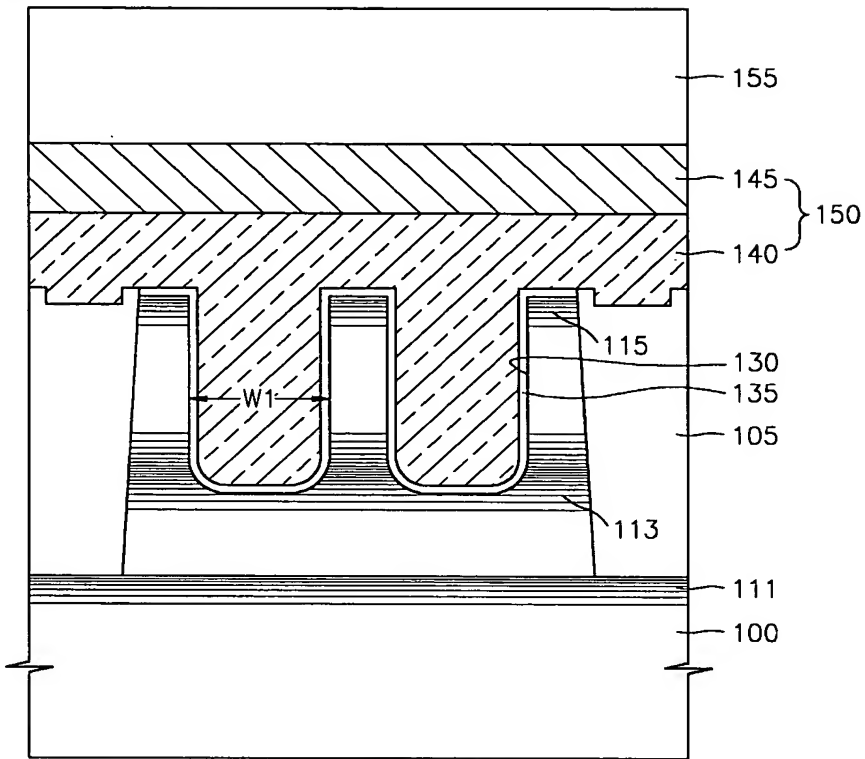
【도 3】



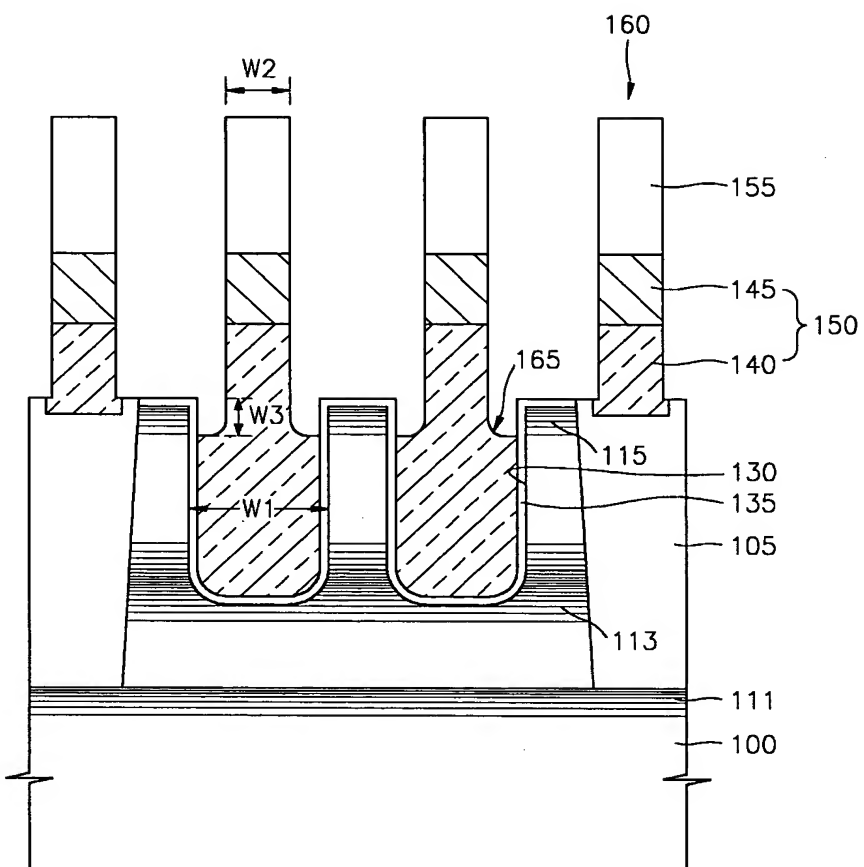
【도 4】



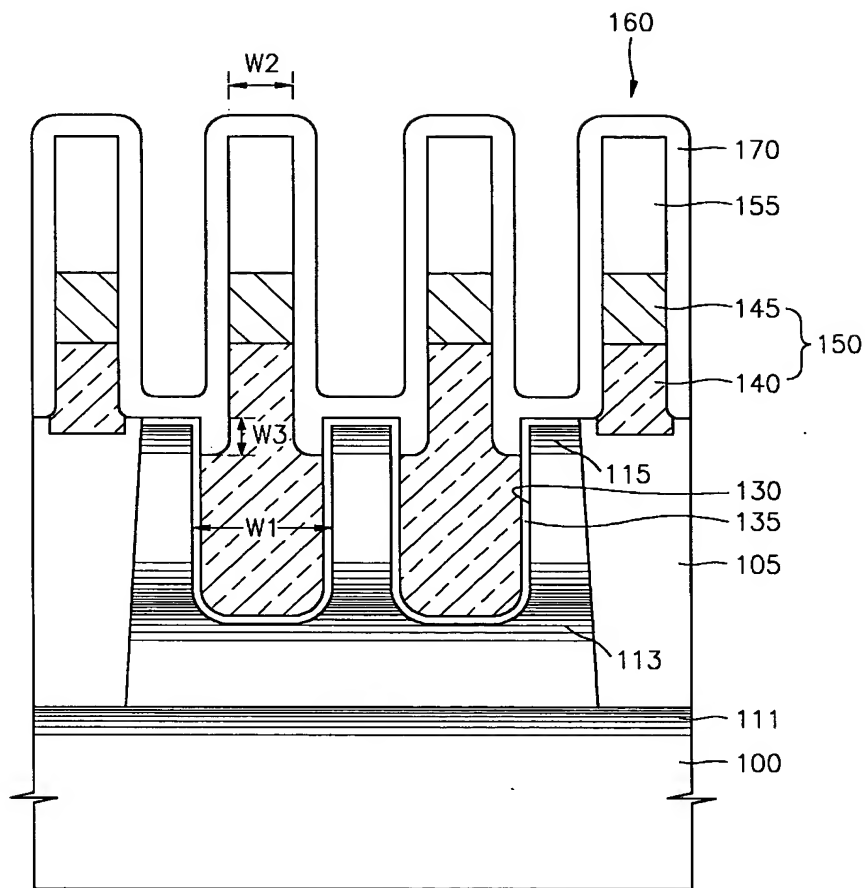
【도 5】



【도 6】



【도 7】



【도 8】

